

---

# ANLOGIC FPGA&CPLD

2018年5月

---

上海安路信息科技有限公司  
中国完全自主的FPGA供应商



# 纲要



**01. 公司基本情况**

**02. 产品规划**

**03. CPLD主要特性**

**04. FPGA器件主要特性**

**05. TD软件开发平台**

# 安路介绍

## ■ 运营

- 2012年9月开始实际运作
- 公司总部位于上海浦东张江高科技园区
- 上海、深圳、北京、成都销售和支持团队

## ■ 团队构成

- 技术团队来自于海归技术专家、FPGA公司核心成员、国家核高基FPGA项目核心成员
- 管理团队在国际集成电路公司有十余年的管理经验
- 市场团队在FPGA行业有多年销售经验

## ■ 投资人

- 中信资本
- 士兰微和创维集团
- 华大半导体和上海科创





# 发展历程

2017/05 华大半导体、上海科创投资  
2015/06 杭州士兰微集团、创维集团投资  
2014/08 中信资本投资  
2014/03 上海市经信委重点项目资助  
2012 初创团队出资

2017/12 高新技术企业  
2017/10 中国芯最佳市场表现产品  
2017/03 中国半导体产品创新奖  
2016/11 中国芯最具投资价值企业  
最具市场潜力产品  
2016/09 ISO9001&14000  
2013/12 集成电路设计企业

资质荣誉

产品量产

产品研发

公司成立

2018/04 中端EG-55K 嵌入式FPGA交付  
2016/08 中端EG-20K、EG-S20K 批量供货  
2016/04 低端ELF-300、ELF-650 批量供货  
2015/12 高端PH-130K 嵌入式千万门级FPGA交付  
2015/03 中端AL3-10K、AL3-S10K 量产供货

2011/11 公司注册

2014/12 低端ELF (精灵) 系列产品定义  
2014/07 高端PHOENIX (凤凰) 系列产品定义  
2012/07 中端AL3/EAGLE (猎鹰) 系列产品定义

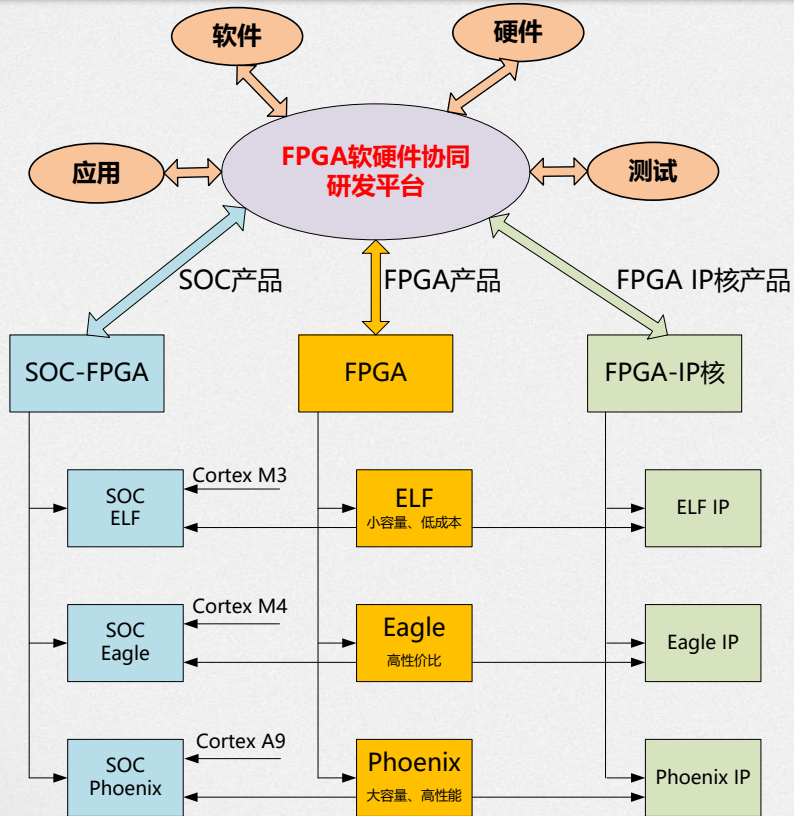
# 安路团队



Synopsys  
Cadence  
Intel  
Lattice  
Microsemi  
AMD  
Marvell  
华为  
深圳紫光同创  
京微雅格



# 产品研发平台



- 国内最完整研发团队
- 覆盖产品各个方向
- 软硬件协同研发平台
- 完全自主知识产权
- 累计申请专利20多项



# 主要产品



Elf-300  
/600



Elf2-4K

## Elf 系列器件:

Elf-300/600 (0.13um Flash工艺) 和 Elf2-4K (55nm工艺, 带MCU) 在通讯、视频采集、工业控制领域有广泛的适应性。



AL3-10K



AL3-S10K



EG4-20K



EG4-S20K

## AL3/EG系列器件:

采用的是低功耗55nm/65nm工艺(s代表含有SRAM), 具有极佳的性价比; 能覆盖广泛的中端FPGA应用, 比如视频图像处理、数据加解密、视显驱动等。



Phoenix130 IP

**Phoenix系列:** 该IP是中国自主知识产权的第一颗千万门级FPGA IP 核。



Tang Dynasty  
软件

## Tang Dynasty (TD) 软件:

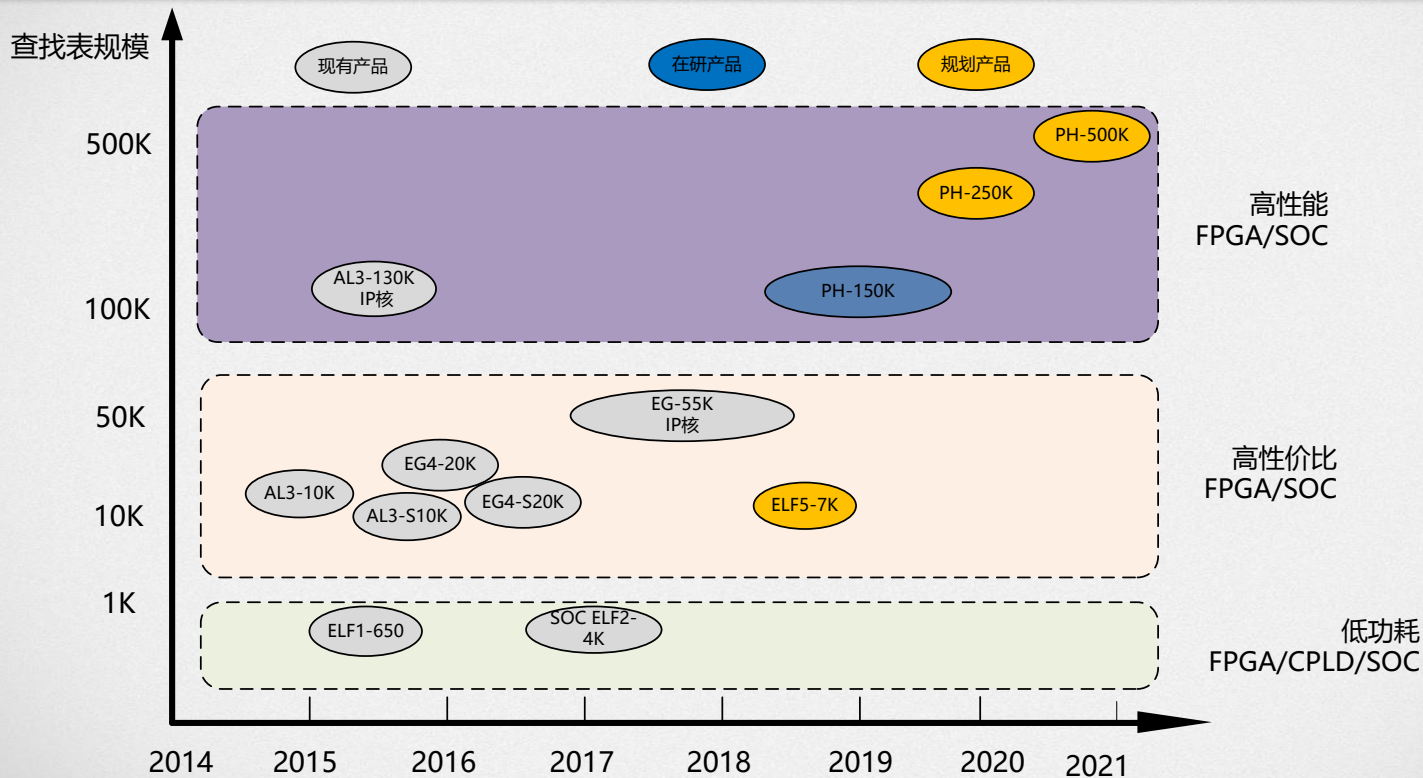
安路科技自主开发的从HDL描述到最终位流下载和片上调试的完整系统; 接近美国厂商所提供开发环境; 目前尚无其他中国FPGA厂商能做到。

# 产品性能

名称	主要性能	替换器件	产品优势
Elf300/650	<ul style="list-style-type: none"> <li>■ 130nm Flash低功耗工艺</li> <li>■ 等效720 LUTs</li> </ul>	<b>Lattice:</b> XO256\640 <b>Altera:</b> MAX-II 240\570 <b>与替换型号PIN脚兼容</b>	单芯片，兼容四种目标芯片，更多查找表容量，分布式RAM支持性价比优势，更多可用IO
Elf2-4K	<ul style="list-style-type: none"> <li>■ 55nm 低功耗工艺</li> <li>■ 内置MCU、ADC</li> </ul>	<b>全球首创低成本PSOC器件</b>	FPGA+MCU+ADC的集成，能适应大量的工业控制应用
AL3-10K/ AL3-S10K	<ul style="list-style-type: none"> <li>■ 65nm 低功耗工艺</li> <li>■ 静态功耗低至4mA</li> <li>■ <b>自主专利LUT4/5混合逻辑架构</b></li> </ul>	<b>Xilinx:</b> XC6SLX9 <b>Altera:</b> EP3CE10、EP4CE6/ 10 <b>与替换型号PIN脚兼容</b>	静态功耗低，BRAM比竞争器件多20%，高速差分IO对数量比竞争器件多一倍，PLL更好支持SSC功能，更多可用IO
EG4-20K/ EG4-S20K	<ul style="list-style-type: none"> <li>■ 55nm 低功耗工艺</li> <li>■ 静态功耗低至4mA</li> <li>■ <b>自主专利LUT4/5混合逻辑架构</b></li> </ul>	<b>Xilinx:</b> XC6SLX16/25 <b>Altera:</b> EP4CE15/22 <b>Lattice:</b> ECP317 <b>与替换型号PIN脚兼容</b>	LEs容量比竞争器件多50%，BRAM容量比竞争器件多80%，1Gbps高速LVDS接口，16路高性能全局时钟，灵活带宽配置支持SSC时钟



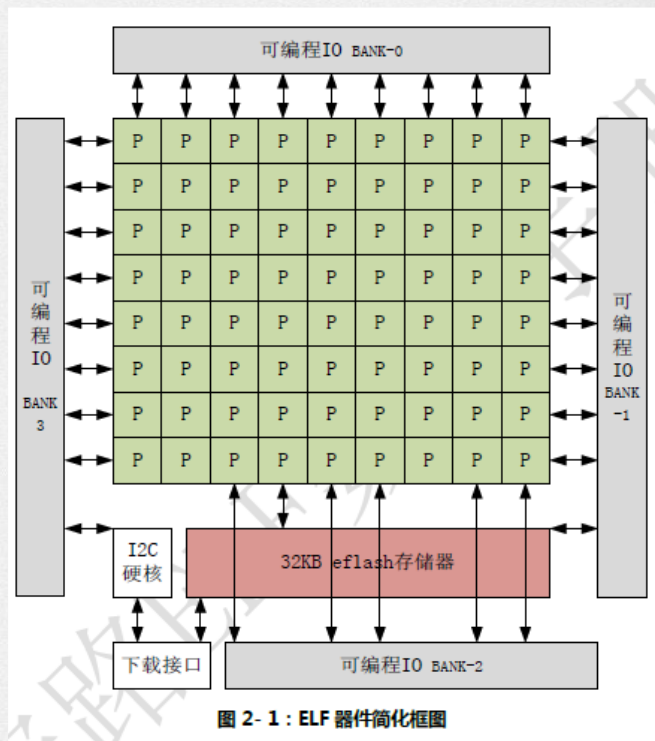
# 产品路线图



# ELF650/300 CPLD

## ➤ 主要特性

- 130nm Flash低功耗工艺
- 先进PLB架构，快速进位逻辑
- 等效650 LUTs
- 分布式RAM支持
- 1ms快速上电启动
- 单电源、静态功耗<2mA
- 16KB用户FLASH空间
- 34位DNA，多重安全控制
- Dual boot支持
- 内嵌I2C硬核
- 内嵌OSC振荡器
- 多种配置模式支持



## ELF CPLD与对标产品比较

	ELF-300	ELF-650	MAXII-240/570	MACHXO-256/640
LUTs	300	650	240/570	256/640
分布式RAM (Kbit)	2	7	0	2/6.1
用户FLASH (Kbit)	16	16	0	8
Vccext电压	2.5/3.3V	2.5/3.3V	2.5/3.3V	2.5/3.3V
IO Bank	4	4	2/2	2/4
最大可用IO数目	84	120	80/160	78/159
LVDS输入对数	10	12	No	No
封装及IO数目				
100TQFP(16x16mm)	84	84	80/76	78/74
144TQFP(22x22mm)	--	120	--/116	--/113
44TQFP(13x13mm)	31			



# AL3-10K FPGA

- 主要特性
  - 65nm 低功耗工艺
  - 静态功耗低至4mA
  - 自主专利LUT4/5混合逻辑架构
  - 先进PLB架构，快速进位逻辑
  - 10K LUT等效逻辑单元
  - 分布式RAM支持
  - 500K BRAM，比竞争器件多20%
  - 高速LVDS差分IO对，数量比竞争器件多一倍
  - 16路高性能全局时钟
  - PLL支持动态相位调整
  - PLL支持5路独立输出
  - 灵活带宽配置支持SSC时钟输入
  - 多种配置模式支持



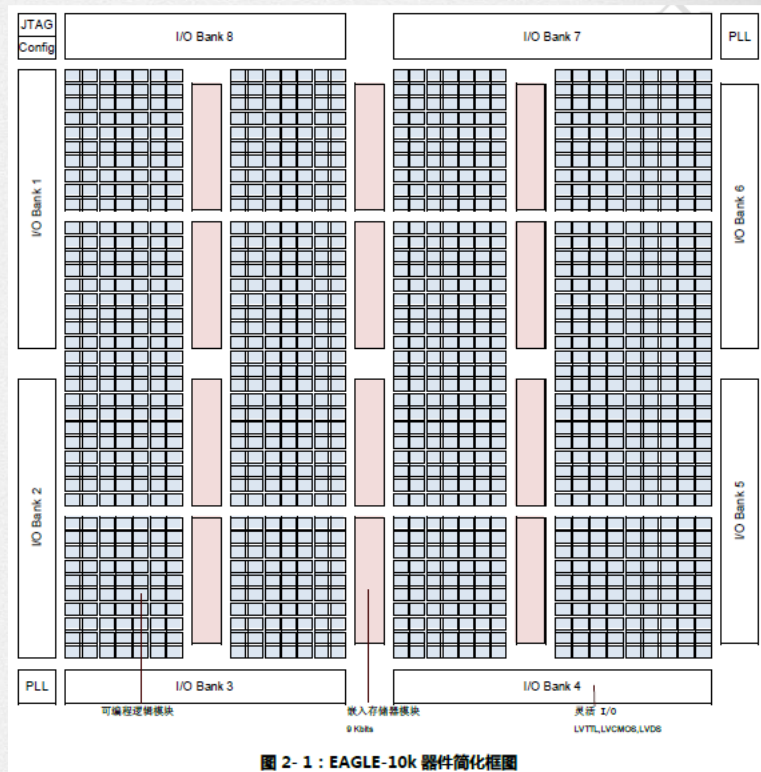
图 2-1: AL3-6k 器件简化框图

## AL3A10 FPGA与对标产品比较

	AL3A10	AL3S10	EP4CE6	EP4CE10
LUTs(K)	10	10	6	10
分布式RAM (Kbit)	69	69	0	0
EMB (Kbit)	508	508	270	414
EMB(9Kbits)数目	48	48	30	46
EMB(32Kbits)数目	2	2	0	0
DSP(18x18)	3	3	15	23
PLL	2	2	2	2
GCLK	16	16	8	8
EM SDRAM	--	2MX32bits		
144TQFP (20x20mm)	91	84	91	91
256fpBGA(17x17mm)	184	--	179	179
88QFN(10x10mm)	60	60		

# EG4A/X20K FPGA

- 主要特性
  - 55nm 低功耗工艺
    - 静态功耗低至4mA
    - 自主专利LUT4/5混合逻辑架构
    - 先进PLB架构，快速进位逻辑
  - 22K LUT等效逻辑单元
  - 分布式RAM支持
  - 1Mbits BRAM，比竞争型号多50%
  - 高达1Gbps LVDS接口
  - 专用4:1 / 2:1 适配逻辑
  - 12bit 1Msps SAR ADC
  - 16路高性能全局时钟
  - 29个18\*18 DSP
  - PLL支持动态相位调整, 5路独立输出
  - 灵活带宽配置支持SSC时钟输入





# EG4A/X20K FPGA

	EG4A20	EG4X20	EG4D20	EG4S20
LUTs(k)	23	23	23	23
分布式RAM (Kbit)	156.8	156.8	156.8	156.8
EMB (Kbit)	1114	1114	1114	1114
EMB(9Kbits)数目	64	64	64	64
EMB(32Kbits)数目	16	16	16	16
DSP(18x18)	29	29	29	29
PLL	4	4	4	4
GCLK	16	16	16	16
EM SDRAM	--		8MX16bits/DDR	2MX32bits
176TQFP (20x20mm)			135	
256fpBGA(17x17mm)	195	189		189
88QFN(10x10mm)	71			71

## EG4A/X20K FPGA与对标产品比较

	EG4A20	EG4X20	EP4CE15	XC6SLX16	LFE3-17EA
LUTs(k)	23	23	15	14.6	17
分布式RAM (Kbit)	156.8	156.8	--	136	36
EMB (Kbit)	1114	1114	504	576	700
EMB(9Kbits)数目	64	64	56	32(18K)	32(38K)
EMB(32Kbits)数目	16	16	--	--	--
DSP(18x18)	29	29	56	32	24
PLL	4	4	4	2	4
GCLK	16	16	8	16	8
ADC	1	1	--	--	--
LVDS Fmax	1Gbps	1Gbps	600Mbps	800Mbps	800Mbps
256fpBGA(17x17mm)	195	189	165	186	133
88QFN(10x10mm)	71				

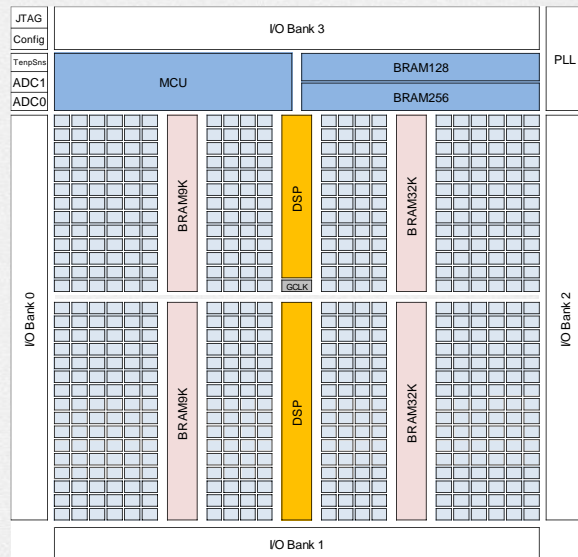
# ELF2 FPGA

## ➤ 主要特性

- 55nm 高性能低功耗工艺
- 典型工作频率100~200MHz
- 自主专利LUT4/5混合逻辑架构
- 5K LUT等效逻辑单元
- 分布式RAM支持
- 最大670Kbits BRAM
  - 与MCU共享384K BRAM
- 1Gbps LVDS接口支持
- MIPI HS/LP IO支持
- 两路100~500Mbps 专用异步收发器
- 16路全局时钟
- 15个18\*18 DSP
- 最多206个用户IO
- 34位DNA, 多重安全控制
- Dual boot、Multi boot支持
- OSC振荡器
- 多种配置模式支持

## ➤ PLL特性

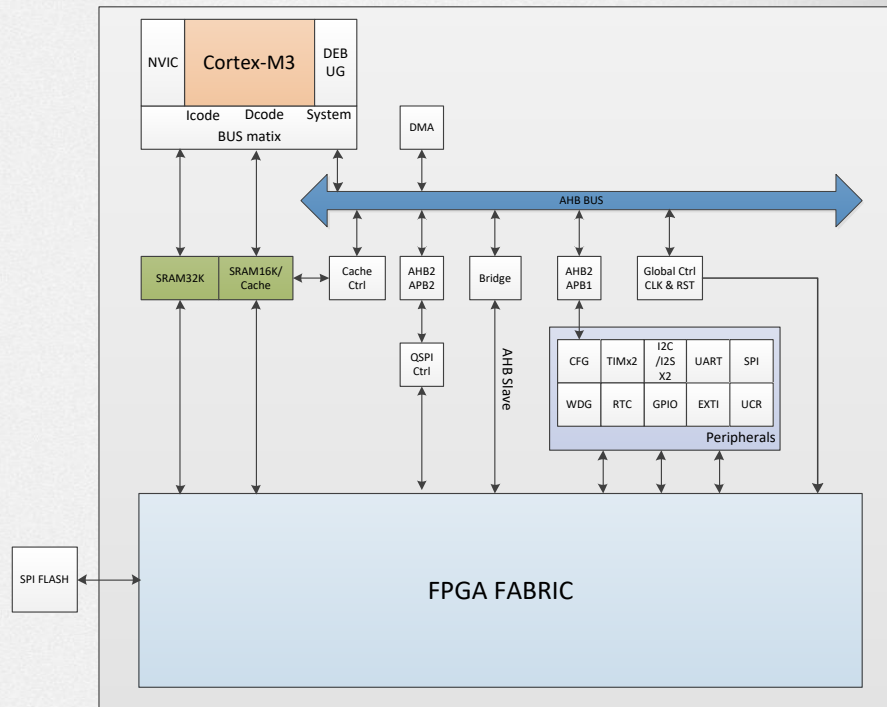
- 支持动态相位调整
- 支持7路独立输出
- 灵活带宽配置支持SSC时钟输入
- 支持小数分频
- SSC调制输出





# ELF2 — SOC FPGA架构

- ARM MCU主要特性
  - 最高160MHz ARM CORTEX M3内核
  - 和FPGA共享4Mbits FLASH
  - JTAG、SWD调试接口
  - 32KB 指令 SRAM、16KB 数据 SRAM
  - QSPI FLASH控制器，支持片外FLASH程序运行
  - 两种运行模式：Mirror模式和FLASH模式
  - MCU快速启动
  - 4路组相连Cache控制器支持，指令SRAM可以作为Cache使用
  - 4通道DMA控制器
  - RTC实时时钟
  - 2 Timer
  - 32 GPIO，与FPGA共享IO
  - 2 I2C接口
  - 1 UART接口
  - 1 SPI接口
  - WDG
  - 2个12bit 1Msps SAR ADC，支持单次、多次、自动扫描等多种模式

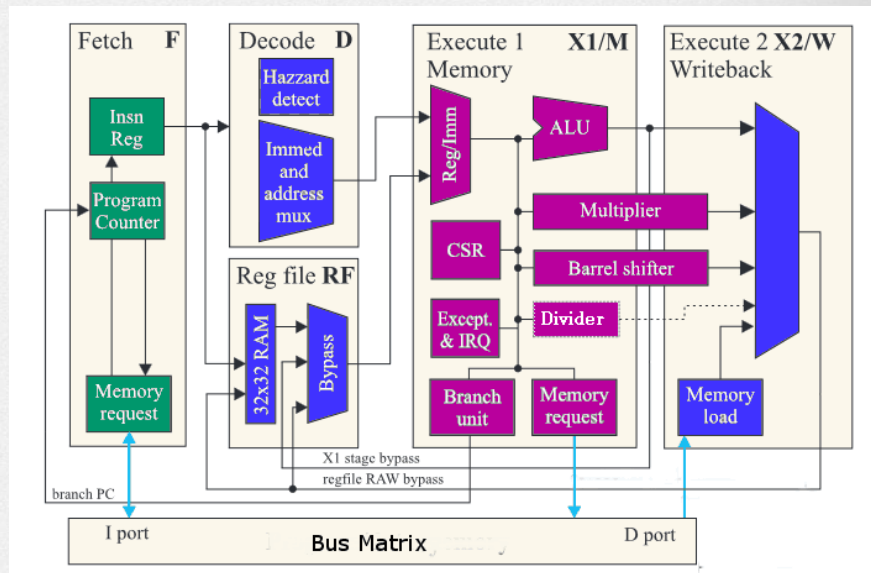


# ELF2--RISC-V 兼容内核

## ➤ 特性:

- 哈佛总线结构
- 具有独立的数据、指令总线端口
- 兼容RISC-V RV32IMC指令集，支持C子集，提升代码密度
- 具有32周期除法器，32x32单周期乘法器
- 大多数指令在一个周期内完成
- 四级流水线
- 最高运行频率为160MHz
- 支持32个中断源
- CoreMark: 2.05/MHz
- 开发环境: GCC Toolchain
- 支持语言C/C++

## 国内第一个集成RISC-V架构芯片!



# ELF2 SOC FPGA创新

## 低功耗

- 单电源、双电源两种模式支持
- 睡眠模式，静态电流 $<1\text{mA}$
- 深度睡眠模式，静态电流 $<100\mu\text{A}$
- 比竞争型号低一个数量级以上

## SOC FPGA

- 集成ARM Cortex M3内核
- 两种程序运行模式
- MCU快速启动功能
- 集成RISC-V内核
- FPGA共享RAM

ELF2  
优势价值

## 高性能

- 1Gbps 高速LVDS接口
- MIPI HS/LP 切换IO支持
- PLL支持SSC调试和小数分频
- 500Mbps 专用异步收发器

## 灵活封装

- 多种封装兼容竞争器件
- 直接替换，用户无需改板
- 超小超薄封装

高集成、低成本！性价比优势！



# ELF2 FPGA

	EF2L15	EF2L25	EF2L45	EF2L45M (M3)
LUTs	1500	2500	4480	4480
分布式RAM (Kbit)	12	20	35	35
EMB (Kbit)	546	607	700	700
EMB(9/32Kbits)	6/3	9/4	12/6	12/6
EMB(128/256Kbits)	1/1	1/1	1/1	1/1
DSP(18x18)	8	12	15	15
PLL	1	1	1	1
FLASH(Mbits)	4	4	4	4
42XWFN(4.2x4.2mm)		29		
48LQFP(10x10mm)				36
100LQFP(14x14mm)	80			
144LQFP(20x20mm)	114		114	114
256fpBGA(17x17mm)	207	207	207	

## ELF2 FPGA与对标产品比较

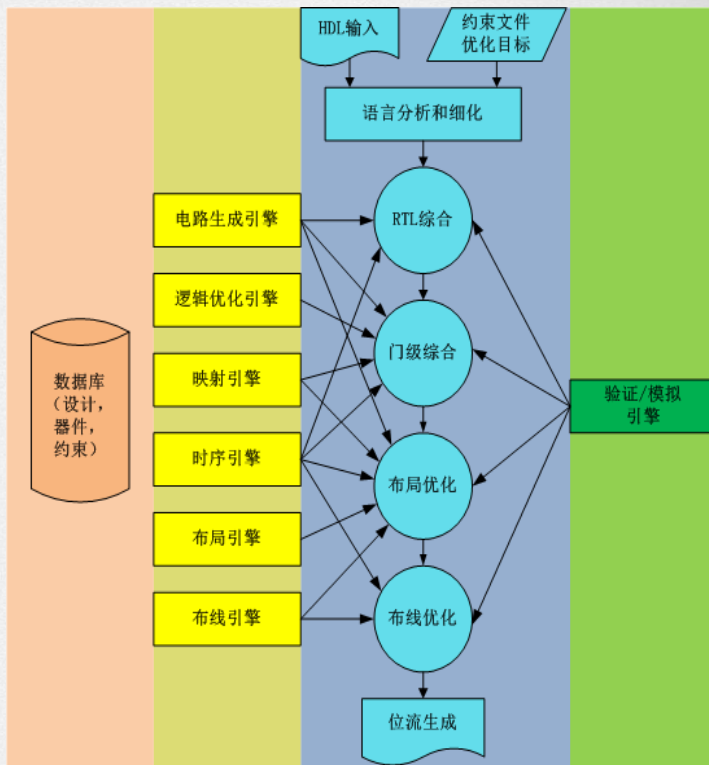
	ELF2 EF2M4500	MACHXO2 XO2-4000	MAX10 10M04	Spartan6 XC6SLX4
LUTs	4480	4320	4000	3840
分布式RAM(kbits)	35	34	0	75
18x18DSP	15	0	20	8
嵌入式RAM(kbits)	700	92	189	216
PLL锁相环	1	2	2	2
小数分频&SSC	Yes	No	No	No
MIPI D-PHY	Yes	Emulated	No	No
I/O BGA256	207	206	178	
ADC	2	0	1	0
MCU	Yes	No	No	No

# AL3-130K FPGA IP

- 主要特性
  - 65/55nm 低功耗工艺
    - 自主专利LUT4/5混合逻辑架构
    - 先进PLB架构, 快速进位逻辑
  - 130K LUT等效逻辑单元
  - 3Mbits BRAM
  - 16路高性能全局时钟
  - 280个18\*18 DSP
  - 多种配置模式,支持APB总线配置
  - 2000以上IO数量支持
- 与国内其他单位对比
  - 良率保证, 经过大批量生产验证
  - 准确的时序信息,解决“时序焦虑”
  - DIE SIZE 减少50%以上电流小
  - 自定义版图长宽比
  - 自定义资源配比
  - 不限制IO数量
  - 定制IP模块支持
  - 全方位后端集成验证测试支持

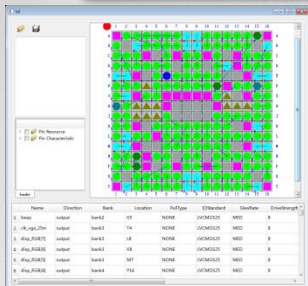
# TD软件技术

- 自主开发的从HDL综合到最终位流下载和片上调试的完全系统
- 上百家FPGA用户应用验证
- 简洁高效、性能可靠、运行速度快
- 可扩展性软件算法，支持从CPLD到500K LUTs FPGA 规模的器件
- 结构化的软件开发平台实现对FPGA、FPGA IP 器件快速支持
- 性能驱动的精确定代优化流程

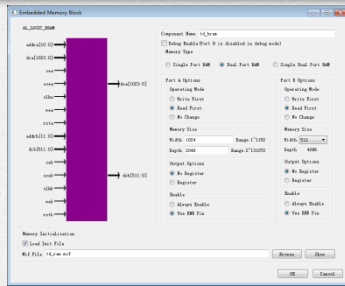




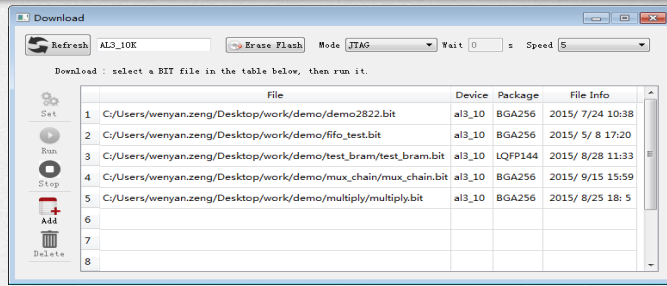
# 主要功能



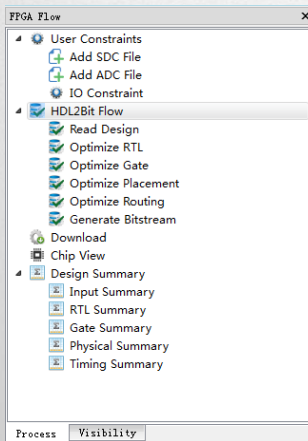
## 用户约束



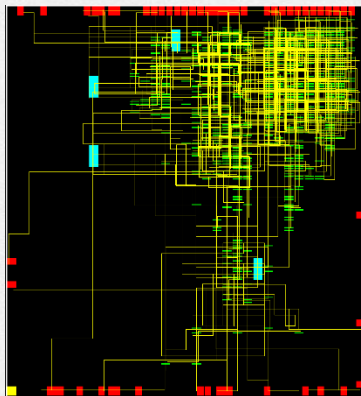
## IP 生成



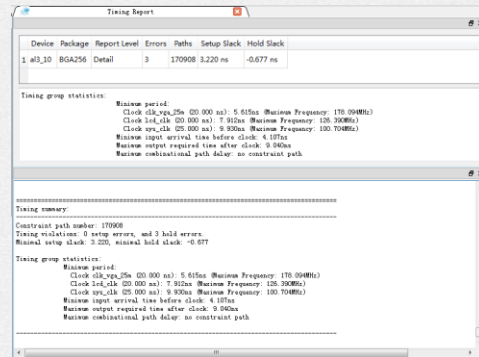
## 位流下载



## 项目工程



## 布局布线



## 时序报告





THANK YOU

德信电子

[sales@taksonic.com](mailto:sales@taksonic.com)